

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-67095

⑤ Int. Cl.⁴G 09 G 3/36
G 02 F 1/133

識別記号

1 2 9

庁内整理番号

7436-5C
7348-2H

⑬ 公開 昭和61年(1986)4月7日

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 画像表示装置

⑰ 特 願 昭59-187280

⑱ 出 願 昭59(1984)9月8日

⑲ 発 明 者 皆 川 長 三 郎 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内
 ⑲ 発 明 者 酒 井 重 信 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内
 ⑲ 発 明 者 増 田 清 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内
 ⑲ 発 明 者 幸 田 成 人 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内
 ⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
 ㉑ 代 理 人 弁理士 星野 恒司 外1名

明 細 書

1. 発明の名称 画像表示装置

2. 特許請求の範囲

(1) マトリクス状に配列された画素を各々独立に駆動制御するためのアクティブマトリクス基板を備えた画像表示装置において、 $m+1$ 本のソース線 S_0, S_1, \dots, S_m と n 本のゲート線 G_1, G_2, \dots, G_n 及び n 行 m 列に配列され入力されたデータ信号を所望の期間保持する $n \times m$ 個の画素回路 $U_{1,1}, U_{1,2}, \dots, U_{1,m}, U_{2,1}, \dots, U_{n,m}$ を含み、第2行目から第 n 行目までの画素回路 $U_{2,1}, \dots, U_{n,m}$ はそれぞれ2個のスイッチング素子を含み、第1行目を除く奇数行目の画素回路 $U_{i,1}, \dots, U_{i,m}$ ($i=1, 2, \dots, \dots, i \leq n-1/2, j=1, 2, \dots, m$)の第1のスイッチング素子の制御端子をゲート線 G_{2i-1} に接続し、その第1のスイッチング素子の入力端子をソース線 $S_{i-1}(S_i)$ に接続し、前記画素回路 $U_{i,1}, \dots, U_{i,m}$ の第2のスイッチング素子の制御端子をゲート線 G_{2i} に接続し、その第2のスイッチング素子の入力端子

をソース線 $S_i(S_{i-1})$ に接続し、偶数行の画素回路 $U_{k,1}, \dots, U_{k,m}$ ($k=1, 2, \dots, k \leq n/2, i=1, 2, \dots, m$)の第1のスイッチング素子の制御端子をゲート線 G_{2k-1} に接続し、その第1のスイッチング素子の入力端子をソース線 $S_k(S_{k-1})$ に接続し、前記画素回路 $U_{k,1}, \dots, U_{k,m}$ の第2のスイッチング素子の制御端子をゲート線 G_{2k} に接続し、その第2のスイッチング素子の入力端子をソース線 $S_{k-1}(S_k)$ に接続したアクティブマトリクス基板を具備したことを特徴とする画像表示装置。

(2) n 本のゲート線 G_1, G_2, \dots, G_n に順次所定のパルス電圧を印加して第1行目乃至第 n 行目の画素回路を順次選択する手段と、第1行目を除く奇数行目の画素回路が選択される時には $m+1$ 本のソース線のうちの m 本のソース線 $S_1, S_2, \dots, S_m(S_0, S_1, \dots, S_{m-1})$ を介してデータ信号を伝達し、偶数行目の画素回路が選択される時には m 本のソース線 $S_0, S_1, \dots, S_{m-1}(S_1, S_2, \dots, S_m)$ を介してデータ信号を伝達する手段を有することを特徴とする特許請求の範囲第(1)項記載の画像表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、各画素毎に独立した駆動素子を有するアクティブマトリクス型画像表示装置の欠陥対策に関するものである。

(従来技術)

第1図は従来のアクティブマトリクス型画像表示装置の回路構成を示すもので、第1図(a)は全体構成を、第1図(b)は画素回路の構成を示している。

ここでは説明を簡単にするため表示素子として液晶を対象とする。

第1図(a)において、 $S_1 \sim S_m$ はソース線、 $G_1 \sim G_n$ ゲート線、 $U_{1,1} \sim U_{n,m}$ は画素回路である。画素回路 $U_{i,j}$ ($i=1,2,\dots,n, j=1,2,\dots,m$)は第1図(b)に示すように、スイッチング用の電界効果トランジスタ $M_{1,j}$ とキャパシタ C 及び画素電極 A より構成されている(キャパシタ C と画素電極 A を合わせて UU で示す)。

第1図(a)に従ってその動作を説明する。ソー

このようなアクティブマトリクス基板の欠陥は、表示時には点欠陥(1画素が入力されたデータ信号に対応した表示とならない)及びライン欠陥(ソース線或いはゲート線方向に多数の画素が入力されたデータ信号と対応した表示とならない)となって表われる。表示装置はその機能的な属性から表示面積が大きいことが必要とされることから、前記点欠陥及びライン欠陥の発生する確率が高くなるため、前記基板の歩留りが低く、このことがアクティブマトリクス型画像表示装置の低コスト化を図る上で大きな問題となっていた。

(発明の目的)

本発明は前記の問題点を解決するためのもので、ソース線、ゲート線及び電界効果トランジスタ等に不良が存在しても、見た目に違和感を感じさせることのないようにしたことを特徴とし、その目的は、アクティブマトリクス型画像表示装置の歩留まりを等価的に向上させ、そのコストを低減することにある。

(発明の構成及び作用)

ス線 $S_1 \sim S_m$ に画素回路 $U_{1,1} \sim U_{n,m}$ に入力すべきデータ信号が印加された時、ゲート線 G_1 に電圧を印加して各画素回路のキャパシタに前記データ信号を書き込み、十分書き込まれたらゲート線 G_1 に印加した電圧を除去し、そのデータ信号を保持させる。

その後、再びソース線 $S_1 \sim S_m$ に画素回路 $U_{1,1} \sim U_{n,m}$ に入力すべき新たなデータ信号を印加し、前述の場合と同様にして前記画素回路 $U_{1,1} \sim U_{n,m}$ のキャパシタにそのデータ信号を保持させる。以下、これらを繰り返すことにより表示装置の各画素毎に設けられた画素回路を順次アドレスし、その画素回路のキャパシタにデータ信号を保持すると共に、このデータ信号の電位になっている画素電極で液晶を駆動する。

ところで、第1図の構成から明らかなように、ソース線、ゲート線及び画素回路を有するアクティブマトリクス基板は、従来の半導体集積回路と本質的には同様なプロセスにより形成され、従って従来の半導体集積回路と同様の欠陥が発生する。

第2図は本発明のアクティブマトリクス型画像表示装置の一実施例の回路構成図である。本実施例では、表示素子として液晶を、また、スイッチング素子としては電界効果トランジスタをそれぞれ用いたものとして説明する。

第2図において、 $SA_1 \sim SA_m$ はソース線、 $GA_1 \sim GA_n$ はゲート線、 $UA_{1,1} \sim UA_{n,m}$ は画素回路、 $T_{1,1} \sim T_{n,m}$ 及び $R_{1,1} \sim R_{n,m}$ は電界効果トランジスタである。なお、 UU は第1図の場合と同様、キャパシタ及び画素電極を一体化したものである。

本実施例の特徴は、第1行目に属する画素回路($UA_{1,1} \sim UA_{1,m}$)を除く全ての画素回路が2個の電界効果トランジスタを有し、奇数行と偶数行に属する画素回路では上記電界効果トランジスタとソース線及びゲート線との接続が異なっていることである。例えば、偶数行に属する画素回路 $UA_{2,1}$ の電界効果トランジスタ $R_{2,1}$ は、そのゲート端子がゲート線 GA_1 に、また入力端子がソース線 SA_1 に接続され、電界効果トランジスタ $T_{2,1}$ のゲート端子がゲート線 GA_2 に、また入力端子がソース線 SA_2 に

に接続されている。

これに対し、奇数行に属する画素回路 $UA_{1,1}$ の電界効果トランジスタ $R_{1,1}$ のゲート端子がゲート線 GA_1 に、また入力端子がソース線 SA_1 に接続され、電界効果トランジスタ $T_{1,1}$ のゲート端子がゲート線 GA_2 に、また入力端子がソース線 SA_1 に接続されている。なお第1行目の画素回路には第2行以降と全く同様の画素回路を用いることも可能であるが、ここでは1個の電界効果トランジスタからなる画素回路を用いた場合について説明する。

以下、第2図に従って本発明の動作を説明する。画素回路 $UA_{1,1} \sim UA_{1,n}$ に入力すべきデータ信号をソース線 $SA_1 \sim SA_n$ に印加し、その後ゲート線 GA_1 に電圧を印加して電界効果トランジスタ $T_{1,1} \sim T_{1,n}$ を“on”状態にし、前記データ信号を前記画素回路内のキャパシターに書き込む。これと並行して、電界効果トランジスタ $R_{1,1} \sim R_{1,n}$ が“on”状態になり、前記データ信号が画素回路 $UA_{1,1} \sim UA_{1,n}$ 内のキャパシターにも書き込まれる。上記書き込みが十分行われた後に前記ゲート線 GA_1 に印加し

まれな場合には、前記予備のデータ信号が保持され、第1行目の表示状態が第2行目にも表示される。このため、ゲート線数が十分多ければ、ゲート線 GA_1 が不良となっても見た目に違和感が感じられなくなる。

また、ソース線が途中で断線した場合についても、画素回路のキャパシターの容量が残留されたソース線の静電容量と比較して十分大きければ、その残留されたソース線に接続される各画素回路には予備のデータ信号とほぼ同じ信号が保持されるため、前述の場合と同様、見た目に違和感が感じられなくなる。一方画素回路のキャパシターの容量が残留されたソース線の静電容量に比べてほぼ等しいかそれ以下の場合には前記予備のデータ信号は不確定な残留ソース線の電位に書き換えられてしまい、前記予備のデータ信号に基づいた表示はなされなくなる。しかし、第2図から明らかなように、第j列目の画素回路 $UA_{1,j} \sim UA_{n,j}$ のうち、ソース線 SA_j を介して正規のデータ信号を入力される画素回路は奇数行の画素回路であり、偶

た電圧を除去し、前記データ信号を前記画素回路内のキャパシターに保持させる。その後、画素回路 $UA_{1,1} \sim UA_{1,n}$ に入力すべきデータ信号をソース線 $SA_1 \sim SA_n$ に印加し、前述の場合と同様にして画素回路 $UA_{1,1} \sim UA_{1,n}$ 及び画素回路 $UA_{2,1} \sim UA_{2,n}$ に保持させる。以下同様の動作を順に繰り返すことにより、各画素回路に入力されるべきデータ信号を保持させ、そのデータ信号の電位になっている画素電極で液晶を駆動する。

前述の動作から明らかなように、例えば、画素回路 $UA_{1,1} \sim UA_{1,n}$ には本来画素回路 $UA_{1,1} \sim UA_{1,n}$ に入力されるべきデータ信号(予備のデータ信号と称することとする)と、画素回路 $UA_{1,1} \sim UA_{1,n}$ に本来入力されるべきデータ信号(正規のデータ信号と称することとする)の双方が順に入力される。通常は、前記予備のデータ信号は書き込まれた直後に正規のデータ信号に書き換えられるため、正規のデータ信号に基づいた表示がなされる。これに対し、例えばゲート線 GA_1 が不良となり正規のデータ信号が前記画素回路 $UA_{1,1} \sim UA_{1,n}$ に書き込

数行の画素回路はソース線 $SA_{1,1}$ を介して正規のデータ信号を入力される。従って、第2図においてソース線 SA_1 が送端部で、断線した場合にも、第1列目と第2列目それぞれの画素の約半数が正規なデータ信号あるいは予備のデータ信号に基づいた表示を行うため、前記ソース線 SA_1 の断線に伴って生じる表示品質の劣化は大幅に緩和される。

さらに電界効果トランジスタの不良が生じて、各画素回路内の2個のうちの少なくとも一方が正常であれば、前記正規なデータ信号あるいは予備のデータ信号に基づいた表示がなされるため、表示品質はほとんど低下しない。

第3図は、本発明のアクティブマトリックス型画像表示装置の他の実施例の部分構成図であり、 $SB_{1,1}, SB_1, SB_{1,n}$ はソース線、 $GB_{1,1}, GB_1, GB_{1,n}$ はゲート線、 $UB_{1,1}, UB_{1,2}, UB_{1,n}$ 、 $UB_{2,1}, UB_{2,2}, UB_{2,n}$ は画素回路、 $O_{1,1}, O_{1,2}, O_{1,n}$ 、 $O_{2,1}, O_{2,2}, O_{2,n}$ は電界効果トランジスタ、 $C_{1,1}, C_1, C_{1,n}$ は制御信号線である。

第3図の実施例の特徴は、電界効果トランジス

タ $T_{1,1} \sim T_{1,1,1,1}$ に電界効果トランジスタ $O_{1,1} \sim O_{1,1,1,1}$ を直列接続し、これらの電界効果トランジスタ $O_{1,1} \sim O_{1,1,1,1}$ の“on”, “off”を制御するための制御信号線 $C_{1,1} \sim C_{1,1}$ を設けたことである。通常は、制御信号線 $C_{1,1} \sim C_{1,1}$ には電圧が印加されており、電界効果トランジスタ $O_{1,1} \sim O_{1,1,1,1}$ は“on”状態にある。従って、この場合には、第2図に示す実施例と全く同様に動作する。

これに対し、例えばソース線 SB_1 が不良となった場合には、制御信号線 C_1 に印加されている電圧を除去して $O_{1,1}$ 及び $O_{1,1,1,1}$ の電界効果トランジスタを“off”状態にし、前記ソース線 SB_1 を各画素回路から電気的に分離する。従って、画素回路 $UB_{1,1}$ 及び $UB_{1,1,1,1}$ に保持されている予備のデータ信号は、不良のソース線 SB_1 の電位に書き換えられることなく、そのまま保持されるため、予備のデータ信号に基づいた表示がなされる。すなわち、第3図に示す実施例ではソース線に如何なる不良が存在しても見た目に違和感を感じさせることは全くなくなる。

以上は表示素子として液晶を用いた場合について説明してきたが、本発明は、アクティブマトリックス構成を採り得る、例えばエレクトロルミネッセント素子等の他の表示装置を用いた場合にも適用できることは明らかである。

(効果)

以上説明したように、本発明によれば、ソース線またはゲート線或いは電界効果トランジスタ等の不良が生じた場合でも、隣接画素の表示状態を表示することにより、見た目に違和感を感じさせないようにすることができ、アクティブマトリックス型画像表示装置の歩留まりを等価的に向上させ、そのコストを低減できる利点がある。

4. 図面の簡単な説明

第1図は従来のアクティブマトリックス型画像表示装置の回路構成図、第2図は本発明のアクティブマトリックス型画像表示装置の一実施例の回路構成図、第3図は本発明の他の実施例の部分回路構成図である。

$S_1 \sim S_m$, $SA_1 \sim SA_m$, $SB_{1,1} \sim SB_{1,1}$ … ソース線、

$G_1 \sim G_m$, $GA_1 \sim GA_m$, $GA_{1,1} \sim GA_{1,1}$ … ゲート線、
 $U_{1,1} \sim U_{1,1}$, $UA_{1,1} \sim UA_{1,1}$, $UB_{1,1} \sim UB_{1,1,1,1}$ … 画素回路、
 $M_{1,1} \sim M_{1,1}$, $T_{1,1} \sim T_{1,1}$, $R_{1,1} \sim R_{1,1}$, $O_{1,1} \sim O_{1,1,1,1}$ … 電界効果トランジスタ、
 C … キャパシター、 A … 画素電極、 UU … キャパシターと画素電極、 $C_{1,1} \sim C_{1,1}$ … 制御信号線。

特許出願人 日本電信電話公社

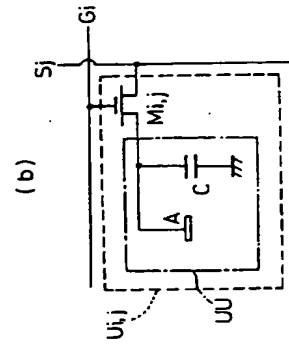
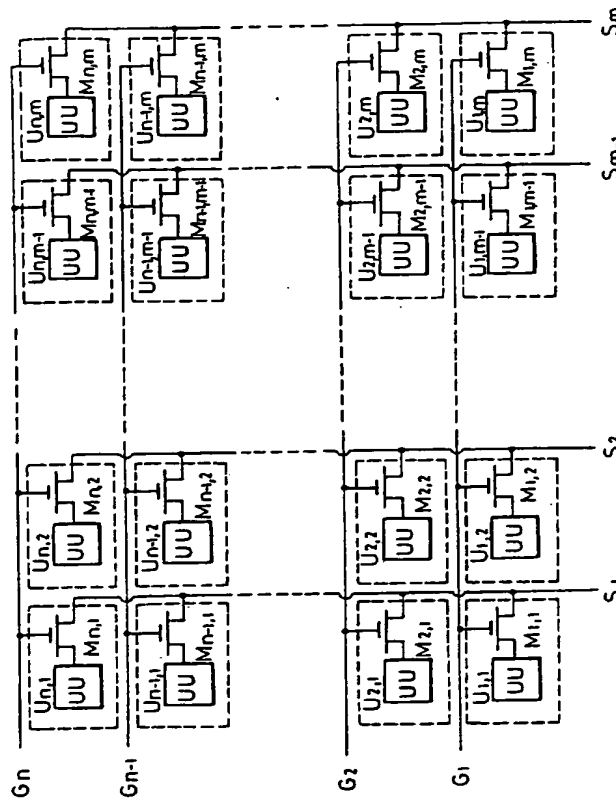
代理人 星 野 恒

岩 上 昇

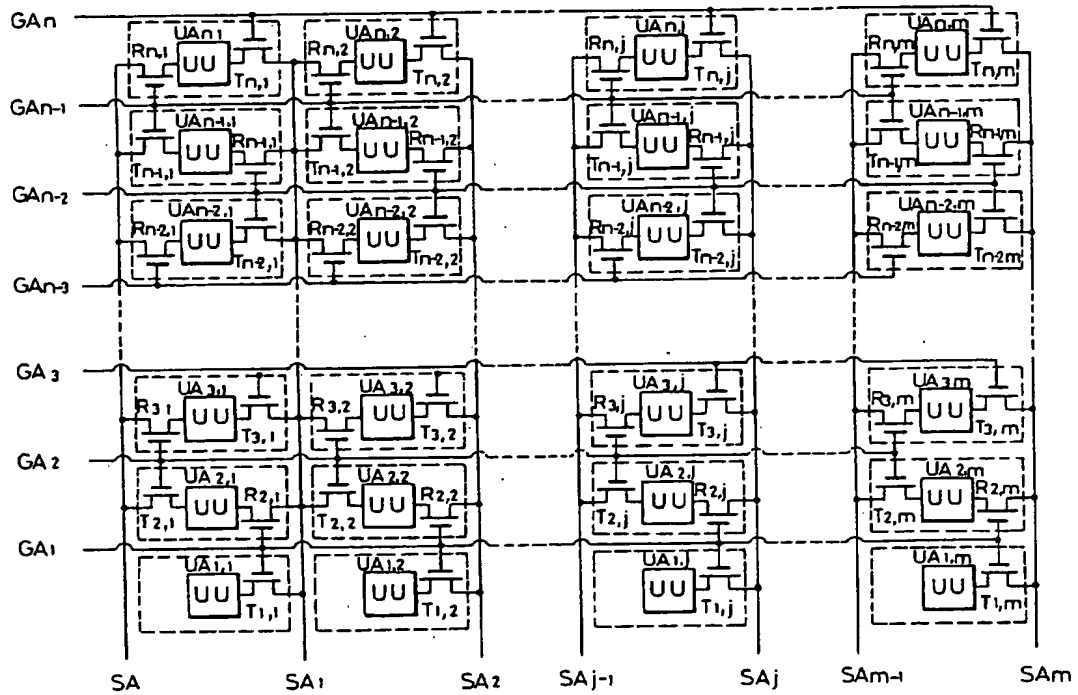


第 1 図

(a)



第 2 図



第 3 図

